

A Annexe: Instructions ARM et codes de conditions

Instruction	Description
ADD Rd, Rs, Op1	$Rd \leftarrow Rs + Op1$
AND Rd, Rs, Op1	$Rd \leftarrow Rs \text{ AND } Op1$
ASR Rd, Rs, #imm	$Rd \leftarrow Rs / 2^{imm}$
B etiquette	$PC \leftarrow \text{adresse}(\text{etiquette})$
BL etiquette	$LR \leftarrow PC - 4, PC \leftarrow \text{adresse}(\text{etiquette})$
BX Rs	$PC \leftarrow Rs$
CMP Rs, Op1	Change les drapeaux comme $Rs - Op1$
LDR Rd, =etiquette	$Rd \leftarrow \text{adresse}(\text{etiquette})$
LDR Rd, [Rs, Op2]	$Rd \leftarrow \text{Mem}[Rs + Op2]$
LDR Rd, [Rs], Op2	$Rd \leftarrow \text{Mem}[Rs], Rs \leftarrow Rs + Op2$
LDR Rd, [Rs, Op2]!	$Rs \leftarrow Rs + Op2, Rd \leftarrow \text{Mem}[Rs]$
LSL Rd, Rs, #imm	$Rd \leftarrow Rs \times 2^{imm}$
MUL Rd, Rn, Rs	$Rd \leftarrow Rn \times Rs$
MVN Rd, Op1	$Rd \leftarrow !Op1$ (inverse les bits)
POP {Liste Reg}	Charge les registres en ordre croissant à partir de la pile
PUSH {Liste Reg}	Met la liste de registres sur la pile dans l'ordre décroissant
STR Rd, [Rs, Op2]	$\text{Mem}[Rs + Op2] \leftarrow Rd$
STR Rd, [Rs], Op2	$\text{Mem}[Rs] \leftarrow Rd, Rs \leftarrow Rs + Op2$
STR Rd, [Rs, Op2]!	$Rs \leftarrow Rs + Op2, \text{Mem}[Rs] \leftarrow Rd$
SUB Rd, Rs, Op1	$Rd \leftarrow Rs - Op1$

Table 1: Instructions ARM. Op1 dénote une opérande de type 1, et Op2 une opérande de type 2.

Code	Condition	Code	Condition
CS	Retenue (carry)	CC	Pas de retenue
EQ	Égalité	NE	Inégalité
VS	Débordement	VC	Pas de débordement
GT	Plus grand	LT	Plus petit
GE	Plus grand ou égal	LE	Plus petit ou égal
PL	Positif	MI	Négatif

Table 2: Codes de condition.

B Annexe: Table ASCII

Dec	Hx	Oct	Char	Dec	Hx	Oct	Char	Dec	Hx	Oct	Char
0	0	000	NUL	43	2B	053	+	86	56	126	V
1	1	001	SOH	44	2C	054	,	87	57	127	W
2	2	002	STX	45	2D	055	-	88	58	130	X
3	3	003	ETX	46	2E	056	.	89	59	131	Y
4	4	004	EOT	47	2F	057	/	90	5A	132	Z
5	5	005	ENQ	48	30	060	0	91	5B	133	[
6	6	006	ACK	49	31	061	1	92	5C	134	\
7	7	007	BEL	50	32	062	2	93	5D	135]
8	8	010	BS	51	33	063	3	94	5E	136	^
9	9	011	TAB	52	34	064	4	95	5F	137	_
10	A	012	LF	53	35	065	5	96	60	140	'
11	B	013	VT	54	36	066	6	97	61	141	a
12	C	014	FF	55	37	067	7	98	62	142	b
13	D	015	CR	56	38	070	8	99	63	143	c
14	E	016	SO	57	39	071	9	100	64	144	d
15	F	017	SI	58	3A	072	:	101	65	145	e
16	10	020	DLE	59	3B	073	;	102	66	146	f
17	11	021	DC1	60	3C	074	;	103	67	147	g
18	12	022	DC2	61	3D	075	=	104	68	150	h
19	13	023	DC3	62	3E	076	;	105	69	151	i
20	14	024	DC4	63	3F	077	?	106	6A	152	j
21	15	025	NAK	64	40	100	@	107	6B	153	k
22	16	026	SYN	65	41	101	A	108	6C	154	l
23	17	027	ETB	66	42	102	B	109	6D	155	m
24	18	030	CAN	67	43	103	C	110	6E	156	n
25	19	031	EM	68	44	104	D	111	6F	157	o
26	1A	032	SUB	69	45	105	E	112	70	160	p
27	1B	033	ESC	70	46	106	F	113	71	161	q
28	1C	034	FS	71	47	107	G	114	72	162	r
29	1D	035	GS	72	48	110	H	115	73	163	s
30	1E	036	RS	73	49	111	I	116	74	164	t
31	1F	037	US	74	4A	112	J	117	75	165	u
32	20	040	Space	75	4B	113	K	118	76	166	v
33	21	041	!	76	4C	114	L	119	77	167	w
34	22	042	"	77	4D	115	M	120	78	170	x
35	23	043	#	78	4E	116	N	121	79	171	y
36	24	044	\$	79	4F	117	O	122	7A	172	z
37	25	045	%	80	50	120	P	123	7B	173	{
38	26	046	&	81	51	121	Q	124	7C	174	}
39	27	047	'	82	52	122	R	125	7D	175	~
40	28	050	(83	53	123	S	126	7E	176	~
41	29	051)	84	54	124	T	127	7F	177	DEL
42	2A	052	*	85	55	125	U				

C Annexe: Jeu d'instructions du microprocesseur du TP1

Mnémonique	Opcode	Description
MOV Rd, Rs	0000	$Rd \leftarrow Rs$
MOV Rd, Const	0100	$Rd \leftarrow \text{Const}$
ADD Rd, Rs	0001	$Rd \leftarrow Rd + Rs$
ADD Rd, Const	0101	$Rd \leftarrow Rd + \text{Const}$
SUB Rd, Rs	0010	$Rd \leftarrow Rd - Rs$
SUB Rd, Const	0110	$Rd \leftarrow Rd - \text{Const}$
LDR Rd, [Rs]	1000	$Rd \leftarrow \text{Mem}[Rs]$
STR Rd, [Rs]	1001	$\text{Mem}[Rs] \leftarrow Rd$
JZE Rc, Const	1111	si $Rc = 0$, $PC \leftarrow \text{Const}$
JZE Rc, Rs	1011	si $Rc = 0$, $PC \leftarrow Rs$

Table 3: Jeu d'instructions du microprocesseur du TP1